

(19)日本国特許庁(JP)

## (12)公開特許公報 (A)

(11)特許出願公開番号

特開2002-280847

(P2002-280847A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int. C.I. 7

H 03 F 3/60

識別記号

F I

H 03 F 3/60

テ-マコ-ド(参考)

5J067

審査請求 未請求 請求項の数4

OL

(全6頁)

(21)出願番号 特願2001-74839(P2001-74839)

(71)出願人 000006231

(22)出願日 平成13年3月15日(2001.3.15)

株式会社村田製作所

京都府長岡市天神二丁目26番10号

(72)発明者 三上 重幸

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

(72)発明者 加藤 貴敏

京都府長岡市天神二丁目26番10号 株式  
会社村田製作所内

(74)代理人 100084548

弁理士 小森 久夫

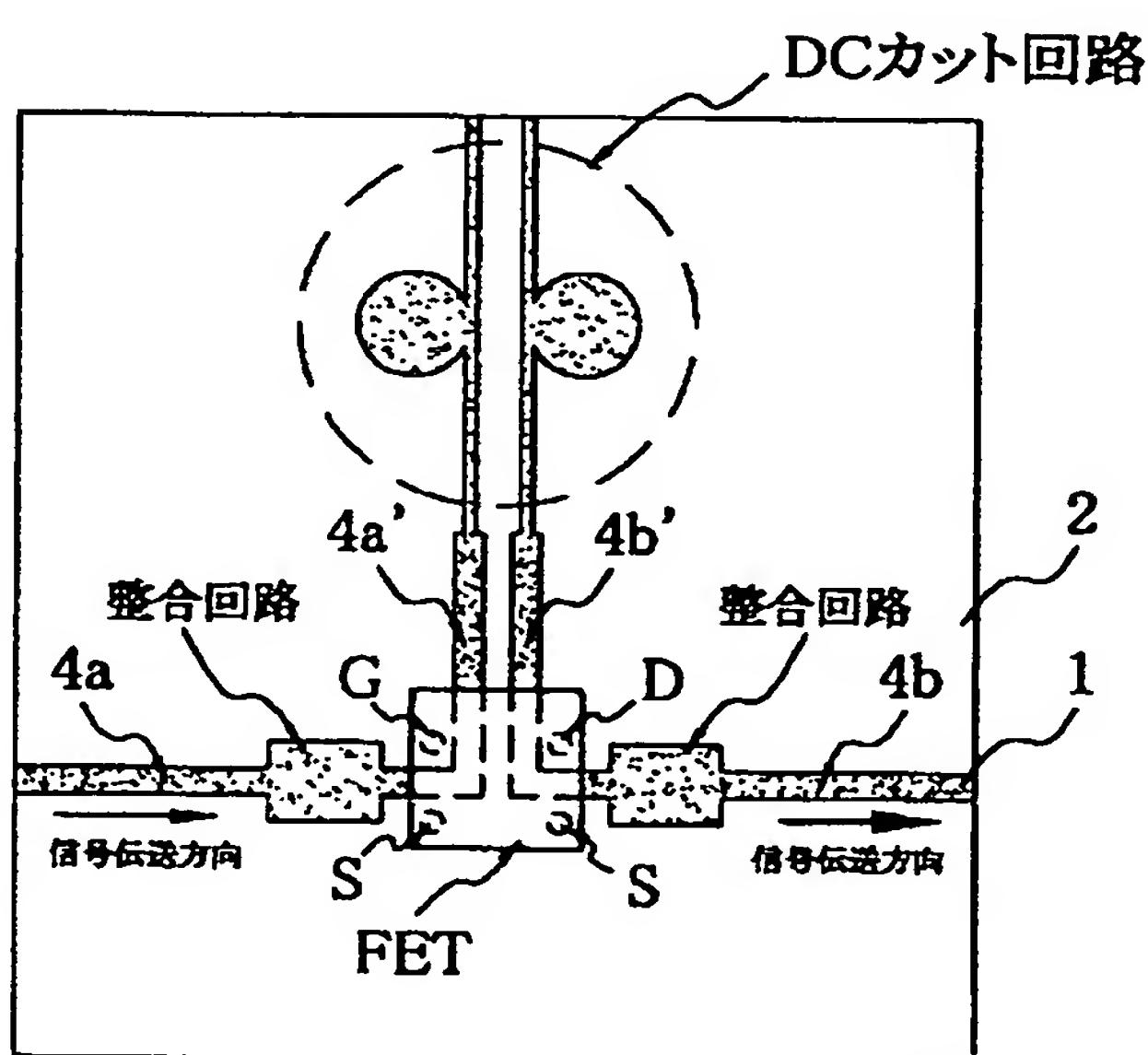
最終頁に続く

(54)【発明の名称】高周波増幅器、高周波モジュール、および通信装置

## (57)【要約】

【課題】十分な増幅特性を広い周波数帯域で得ることができる、スロット線路による入出力部を備えた高周波増幅器を構成する。

【解決手段】伝送部のスロット4a, 4bに対して直角に折り曲げて、二本の整合部のスロット4a', 4b'を伝送信号の波長の1/4の長さで平行に形成する。この整合部のスロット4a', 4b'の延長線上にDCカット回路を接続し、スロットの折れ曲がり部にFETを接続し、FETの入出力部に整合回路を接続する。FETのソース端子Sは整合部のスロット4a', 4b'間の上面電極3における整合部のスロット4a', 4b'に挟まれない位置で接続し、ドレイン端子Dおよびゲート端子Gは、DCカット回路および各スロットにより、ソース端子Sから電気的に分離された上面電極2上に互いに電気的に分離して接続する。



## 【特許請求の範囲】

【請求項1】 スロット線路を形成した実装用回路基板上に、前記スロット線路を用いて入出力する能動素子を実装してなる高周波増幅器において、

前記スロット線路を入力側と出力側との二つのスロット線路に分離し、該二つのスロット線路をそれぞれ所定位置で折り曲げて、該折れ曲げ位置から見た一方を伝送部、他方を長さが伝送信号の約1/4波長となる整合部とし、前記二つのスロット線路の整合部同士で挟まれる位置以外の位置に前記能動素子のそれぞれの端子を接続した高周波増幅器。

【請求項2】 前記能動素子がスロット線路インターフェースのFETであり、該FETのソース電極を前記スロット線路を分離する電極に接続し、前記ソース電極が接続される実装回路基板上の電極からDCカット回路により分離された実装回路基板上の電極にゲート電極を接続し、前記ソース電極およびゲート電極からDCカット回路により分離された前記実装回路基板上の電極にドレイン電極を接続した請求項1に記載の高周波増幅器。

【請求項3】 請求項1または請求項2に記載の高周波増幅器を備えた高周波モジュール。

【請求項4】 請求項3に記載の高周波モジュールを備えた通信装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、主にミリ波帯またはマイクロ波帯に用いられる増幅器、高周波モジュールおよび通信装置に関するものである。

## 【0002】

【従来の技術】 従来のスロット線路に実装した能動素子および受動素子からなる高周波増幅器が■特表2000-500309に開示されている。

【0003】 ■の高周波増幅器においては、基板上に形成されたスロット線路を二つに分離し、この分離したスロット線路を入出力部として、能動素子(FET等)を基板上に実装している。ここで、能動素子の一つの端子を、分離した入出力端子間の電極部に接続している。

## 【0004】

【発明が解決しようとする課題】 ところが、このような従来の高周波増幅器においては、次のような解決すべき課題があった。 ■の高周波増幅器においては、二つに分離されたスロット線路を能動素子の入出力部としており、この能動素子の端子が、分離された入出力部の間に配置されている。このため、少なくとも増幅器の端子幅分だけスロット間の距離が遠くなり、スロット間の結合が小さくなってしまう。

【0005】 例えば、実装される能動素子のバンプの直径を50μmとすると、少なくとも実装基板上に形成されるパッドの一辺は100μmとしなければならない。すなわち、スロット線路の入出力部間は、少なくとも1

00μm以上離さなければならない。

【0006】 図11は従来の高周波増幅器におけるFET実装パターンの周波数特性図である。図11は、基板厚みが0.254mm、基板の比誘電率が1.0、スロット幅が0.1mm、分離されたスロット間の幅が0.1mm(100μm)の場合について、周波数特性をシミュレーションした結果である。

【0007】 図11に示すように、広い周波数帯域でアイソレーション値が低下してしまい、例えば所望の特性を得るための減衰量となる挿入損失を-20dBとした場合には約7GHzの周波数幅しか、アイソレーション帯域が得られなくなってしまう。よって、能動素子に入力する信号が減少し、入出力部間を直接伝搬する信号が増加するため、増幅器のゲインが劣化し、増幅特性を得られる帯域が狭帯域化してしまう。

【0008】 この発明の目的は、十分な増幅特性を広い周波数帯域で得ることができる、スロット線路による入出力部を備えた高周波増幅器、高周波モジュールおよび通信装置を構成することにある。

## 【0009】

【課題を解決するための手段】 この発明は、スロット線路を形成した実装用回路基板のスロット線路を入力側と出力側との二つのスロット線路に分離し、該二つのスロット線路をそれぞれ所定位置で折り曲げて、折り曲げ位置から見た一方を伝送部、他方を長さが伝送信号の約1/4波長となる整合部とし、二つのスロット線路の整合部同士で挟まれる位置以外の位置に能動素子のそれぞれの端子を接続して高周波増幅器を構成する。

【0010】 また、この発明は、能動素子がスロット線路インターフェースのFETであり、FETのソース電極をスロット線路を分離する電極に接続し、前記ソース電極が接続される実装回路基板上の電極からDCカット回路により分離された実装回路基板上の電極にゲート電極を接続し、ソース電極およびゲート電極からDCカット回路により分離された実装回路基板上の電極にドレイン電極を接続して高周波増幅器を構成する。

【0011】 また、この発明は、前記高周波増幅器を備えて高周波モジュールを構成する。

【0012】 また、この発明は、前記高周波モジュールを備えて通信装置を構成する。

## 【0013】

【発明の実施の形態】 第1の実施形態に係る高周波増幅器の構成について、図1~図4を参照して説明する。図1は誘電体基板を用いたスロット線路の平面図、側面図および正面断面図である。図2は高周波増幅器の平面図である。図1、図2において、1は誘電体基板、2は上面電極、4a、4a'、4b、4b'はスロット、5はスロット線路であり、GはFETのゲート端子、DはFETのドレイン端子、SはFETのソース端子である。また、λは伝送(増幅)信号の波長である。4a、4b

は伝送部のスロットであり、4a'、4b'は整合部のスロットである。

【0014】図1に示すように、誘電体基板1の主面には上面電極2を形成しており、この上面電極2に所定位置でスロットを分離して、伝送部として機能するスロット4a、4bと、長さが伝送信号の約1/4波長である整合部として機能するスロット4a'、4b'を形成している。この整合部のスロット4a'、4b'は互いに対向しており、伝送部のスロット4a、4bに対して直角に形成されている。各スロット4a、4a'、4b、4b'と誘電体基板1とでそれぞれスロット線路5を形成している。

【0015】次に、図2に示すように、対向する二本の整合部のスロット4a'、4b'の延長線上にDCカット回路を接続し、スロットの折れ曲がり部にFETを接続しており、FETの入出力部には、整合回路を接続している。ここで、DCカット回路は、二本の対向するスロットにより、三つの電極間に直流電流が流れることを防止している。これらスロットには略円形の共振器を結合させていて、伝送信号の周波数成分がバイアス回路側へ流れ込むことを防止している。

【0016】また、FETのソース端子Sは、スロット4a(4a')とスロット4b(4b')とを分離する上面電極2に接続されるが、二本の整合部のスロット4a'、4b'に挟まれた位置以外の位置で上面電極2に接続している。また、ドレイン端子Dおよびゲート端子Gは、DCカット回路およびスロット4a、4a'、4b、4b'により、ソース端子Sから電気的に分離された上面電極2上の所定の位置にそれぞれ接続している。

ドレイン端子Dとゲート端子Gとは互いにDCカット回路により電気的に分離している。このような構造とすることにより、スロット4aからFETに入力した信号がFETにより増幅され、スロット4bから出力される、スロット線路5(スロット4a、スロット4b)を入出力線路とする高周波増幅器を構成している。ここで、整合部のスロット4a'、4b'の長さが伝送信号の約1/4波長であることにより、スロット線路からFETへ効率良く信号を伝送することができる。

【0017】図3は、基板厚みが0.254mm、基板の比誘電率が1.0、スロット幅が0.1mm、分離されたスロット間の幅が0.04mm(40μm)の場合について、FET実装パターンの周波数特性をシミュレーションした結果である。

【0018】また、図4は、前記仕様を用いたFET実装パターンを実測した周波数特性の結果である。

【0019】図3および図4に示すように、前記の仕様のスロット線路を用いることにより、アイソレーション特性が向上し、20dBを所望の減衰特性を得る基準とすると、アイソレーション帯域幅は約12GHzとなり、従来の増幅器より帯域幅を広くすることができる。

【0020】よって、前記の構成とすることにより、二本のスロット線路が強く結合し、evenモード、oddモードの共振周波数付近で挿入損失が増加して、二線路間の反射が大きくなり、広い周波数帯域で優れたアイソレーション特性を得ることができる。よって、スロットを伝達してきた信号がFETに効率良く入力され、かつFETに入力する信号と増幅されFETから出力される信号とが結合しなくなり、広い周波数帯域で増幅器のゲインが向上する。

【0021】なお、FETではなく他の能動素子を用いても同様の効果が得られる。しかし、FETは高周波数帯域での各電気特性が他の能動素子に比較して優れているため、FETを用いることにより、他の能動素子を用いた場合よりも優れた特性を得ることができる。

【0022】また、誘電体基板に設けたスロットの形状は、図1に示した形状に限らず、図5および図6に示すように、途中から更に屈折させたり、端部に円状および扇形状のスタブを設けたりしてもよい。

【0023】また、ソース端子Sが底面の対角線上に二つ設けられており、ゲート端子Gとドレイン端子Dとが対向する対角線上に設けられているFETにおいては、図7および図8に示したスロット線路を用いることにより、前述の高周波増幅器と同様の効果を得ることができる。図5、図6、図7および図8はその他の高周波増幅器の平面図であり、整合素子、DCカット回路等は省略してある。図5～図8において、1は誘電体基板、2は上面電極、4a、4bは伝送部のスロット、4a'、4b'は整合部のスロット、6a、6bは扇形状または円状のスタブであり、GはFETのゲート端子、DはFETのドレイン端子、SはFETのソース端子である。

【0024】図5の(a)、(b)は、対向する二本の整合部のスロット4a'、4b'のいずれか一本が、伝送部のスロット4a、4bに平行な方向に折れ曲がったスロット線路であり、(c)は、対向する二本の整合部のスロット4a'、4b'が、共に伝送部のスロット4a、4bに平行な方向に折れ曲がったスロット線路である。図6の(a)は、整合部のスロット4a'、4b'の端部にそれぞれ扇形状のスタブ6a、6bを設けたスロット線路であり、(b)は、それぞれ円状のスタブ6a、6bを設けたスロット線路である。図7の(a)に示すスロット線路は、図1に示した整合部のスロット4b'を、伝送部のスロット4bに対して線対称となる方向に形成したものであることで、スロット4a'、4b'は長さが伝送信号波長の1/4となる整合部として形成されている。

【0025】図7の(b)および(c)は、図7の(a)に示す整合部のスロット4a'、4b'の少なくとも一方または両方を、伝送部のスロット4a、4bに平行な方向に再度折り曲げた構造のスロット線路である。図8の(a)に示すスロット線路は、図7に示した

整合部のスロット4a'、4b'の端部に扇形状のスタブ6a、6bを設けたスロット線路であり、(b)は、円状のスタブ6a、6bを設けたスロット線路である。

【0026】次に、第2の実施形態に係る高周波モジュールの構成について、図9を参照して説明する。図9は高周波モジュールのブロック図である。図9において、ANTは送受信アンテナ、DPXはデュプレクサ、BPFa、BPFbはそれぞれ帯域通過フィルタ、PAは電力増幅器、LNAは低雑音増幅器、MIXa、MIXbはそれぞれミキサ、OSCはオシレータ、IFは中間周波信号である。

【0027】MIXaは変調信号と、OSCから出力された信号とを混合し、BPFaはMIXaからの混合出力信号のうち送信周波数帯域のみを通過させ、PAはこれを電力増幅してDPXを介しANTより送信する。LNAはDPXから取り出した受信信号を増幅する。BPFbはLNAから出力される受信信号のうち受信周波数帯域のみを通過させる。MIXbは、OSCから出力された周波数信号と受信信号とをミキシングして中間周波信号IFを出力する。

【0028】図9に示した増幅器PA、LNA部分には、前記図1、図5～図8に示した構造の高周波増幅器を用いることができる。このような広帯域幅で増幅特性の優れた高周波増幅器を使用することにより、低損失で通信性能に優れた高周波モジュールを構成する。

【0029】次に、第3の実施形態に係る通信装置の構成について、図10を参照して説明する。図10は、第3の実施形態に係る通信装置の構成を示すブロック図である。この通信装置は、図9に示した高周波モジュールと信号処理回路とから構成している。図10に示す信号処理回路は、符号化・復号化回路、同期制御回路、変調器、復調器、およびCPUなどから成り、この信号処理回路に送受信信号を入出力する回路を更に設けて、通信装置を構成する。

【0030】このように、本発明に係る高周波モジュールを使用することにより、低損失で通信性能に優れた通信装置を構成する。

【0031】

【発明の効果】この発明によれば、スロット線路を形成した実装用回路基板のスロット線路を入力側と出力側との二つのスロット線路に分離し、該二つのスロット線路をそれぞれ所定位置で折り曲げて、折り曲げ位置から見た一方を伝送部、他方を長さが伝送信号の約1/4波長の整合部とし、二つのスロット線路の整合部同士で挟まる位置以外の位置に能動素子のそれぞれの端子を接続することにより、広い周波数帯域において低損失で高利

得の高周波増幅器を構成することができる。

【0032】また、この発明によれば、能動素子がスロット線路インターフェースのFETであり、FETのソース電極をスロット線路を分離する電極に接続し、前記ソース電極が接続される実装回路基板上の電極からDCカット回路により分離された実装回路基板上の電極にゲート電極を接続し、ソース電極およびゲート電極からDCカット回路により分離された実装回路基板上の電極にドレイン電極を接続することにより、他の能動素子よりも高周波数帯域での各特性がよいため、広い周波数帯域において更に低損失で高利得の高周波増幅器を構成することができる。

【0033】また、この発明によれば、前記高周波増幅器を備えることにより、低損失で通信性能に優れた高周波モジュールを構成することができる。

【0034】また、この発明によれば、前記高周波モジュールを備えることにより、低損失で通信性能に優れた通信装置を構成することができる。

【図面の簡単な説明】

20 【図1】第1の実施形態に係る高周波増幅器のスロット線路の平面図、側面図および正面断面図

【図2】第1の実施形態に係る高周波増幅器の平面図

【図3】高周波増幅器におけるFET実装パターンの理論計算による周波数特性図

【図4】高周波増幅器におけるFET実装パターンの測定結果による周波数特性図

【図5】他の構造の高周波増幅器の例を示す平面図

【図6】他の構造の高周波増幅器の例を示す平面図

【図7】他の構造の高周波増幅器の例を示す平面図

30 【図8】他の構造の高周波増幅器の例を示す平面図

【図9】第2の実施形態に係る高周波モジュールのブロック図

【図10】第3の実施形態に係る通信装置のブロック図

【図11】従来の高周波増幅器におけるFET実装パターンのシミュレーションによる周波数特性図

【符号の説明】

1—誘電体基板

2—上面電極

4a、4b—伝送部のスロット

40 4a'、4b'—整合部のスロット

5—スロット線路

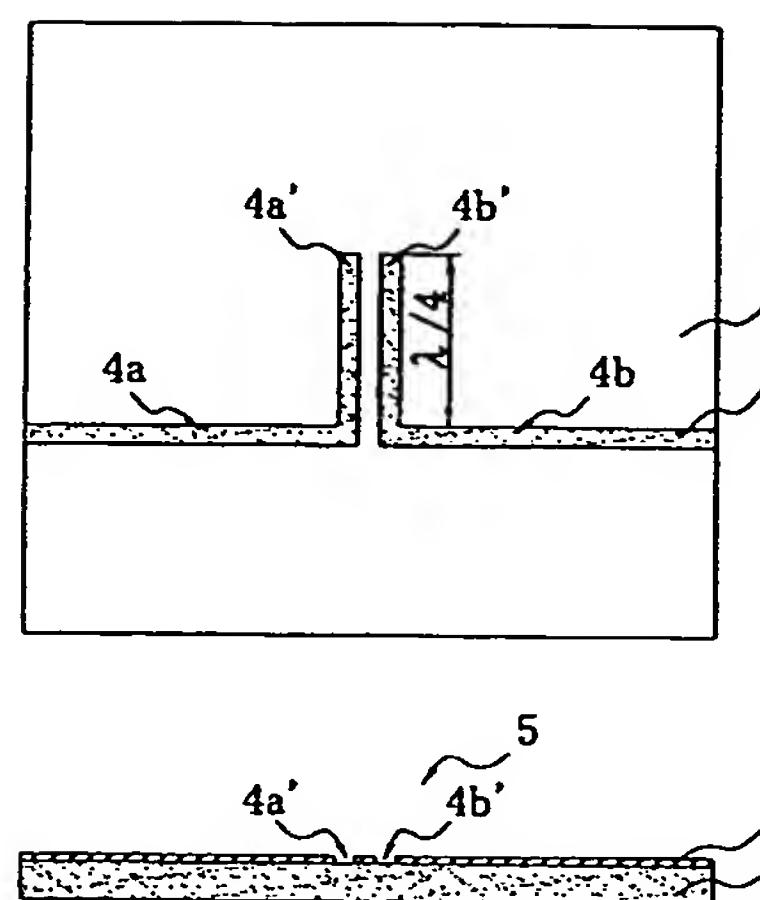
6a、6b—スタブ

D—FETのドレイン端子

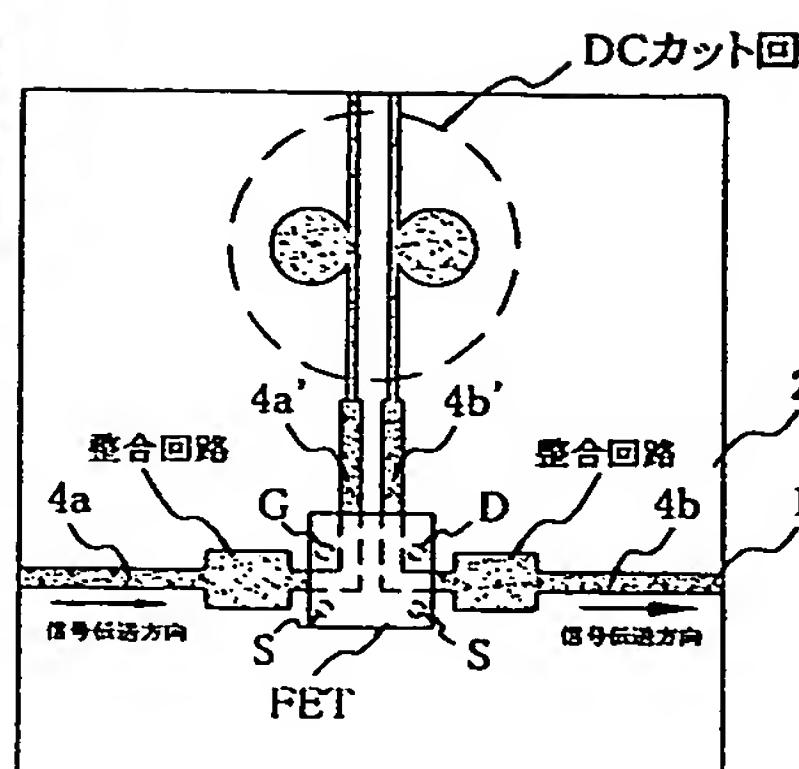
G—FETのゲート端子

S—FETのソース端子

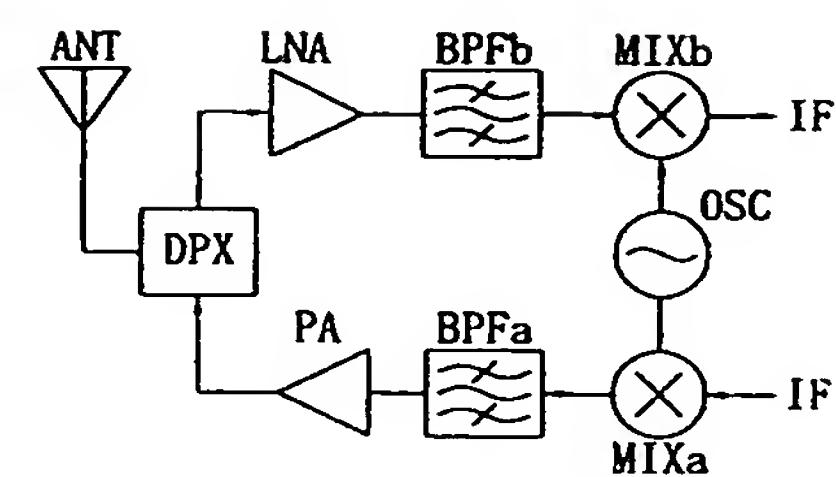
【図1】



【図2】

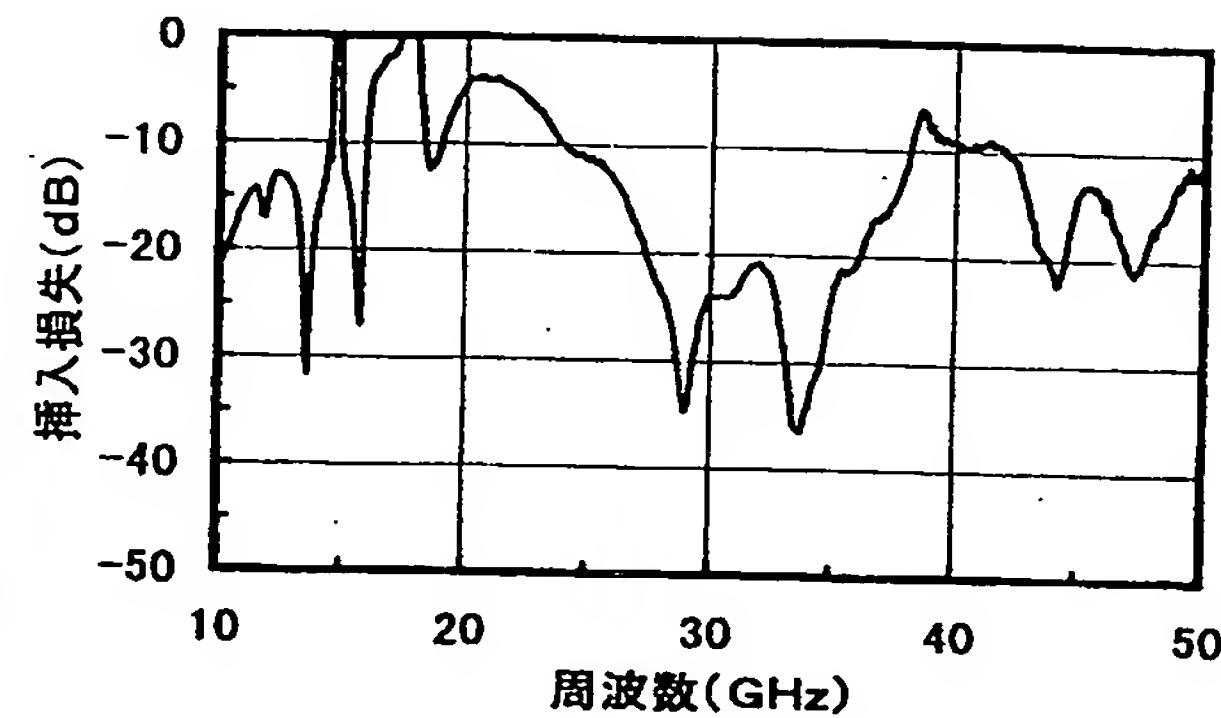
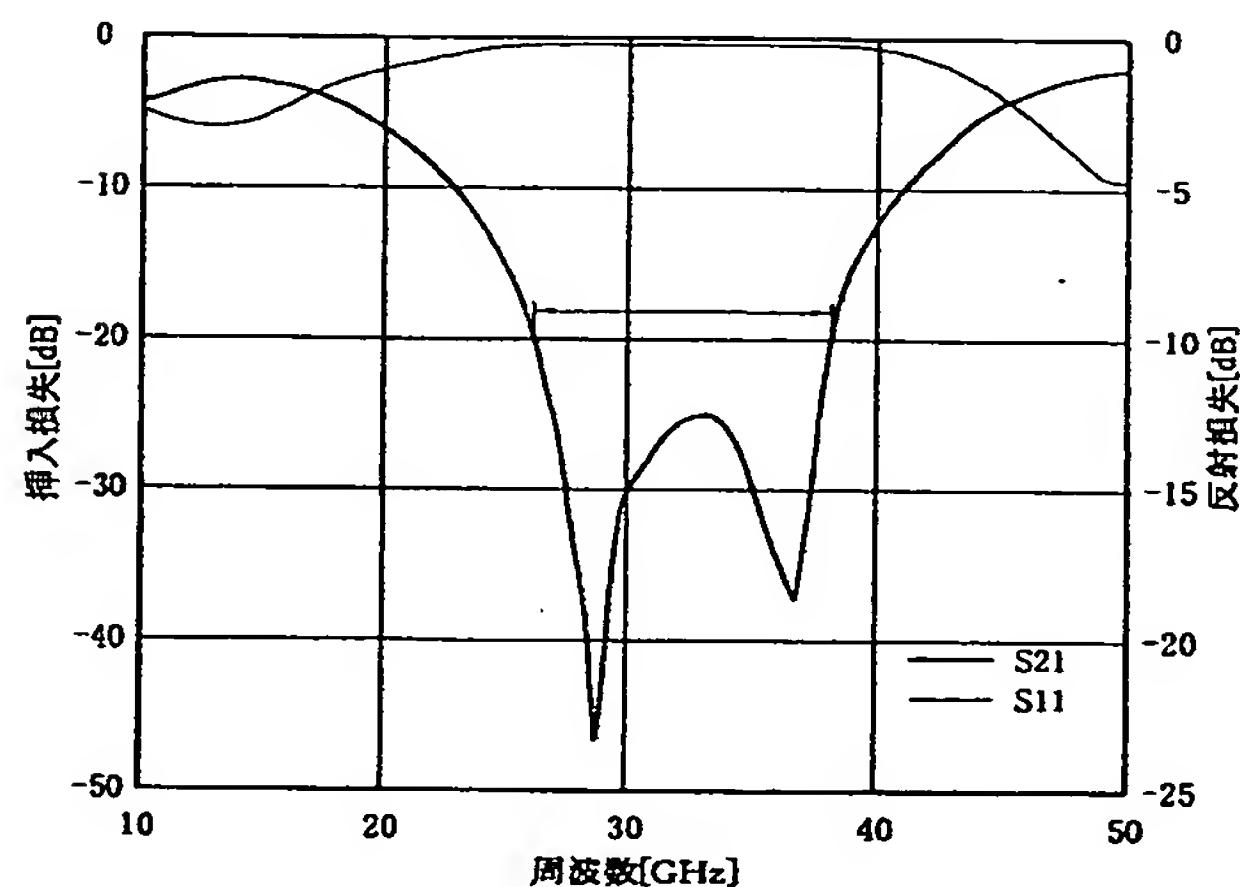


【図9】

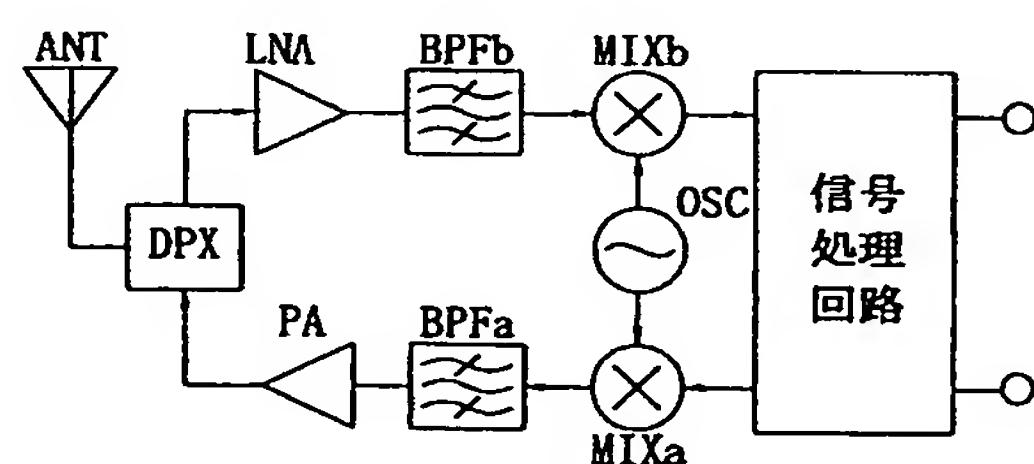


【図4】

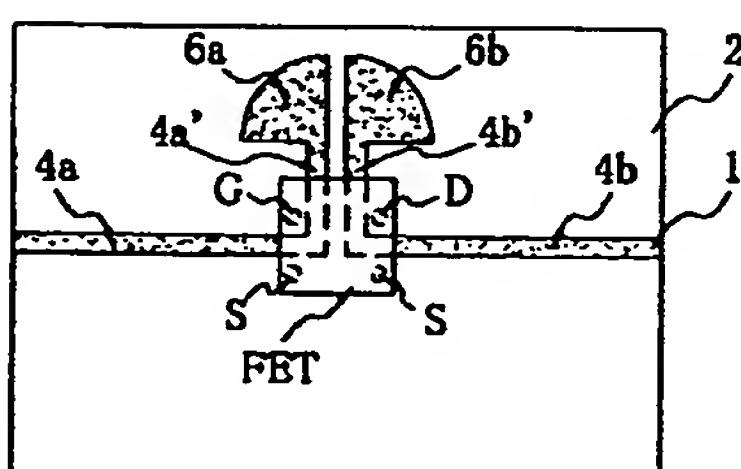
【図3】



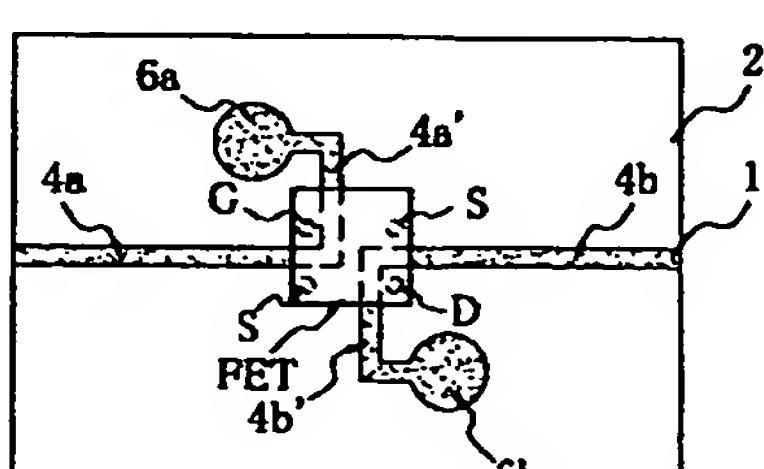
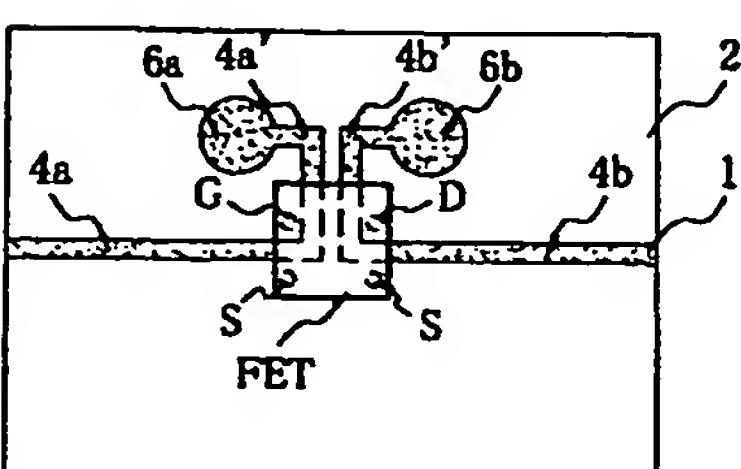
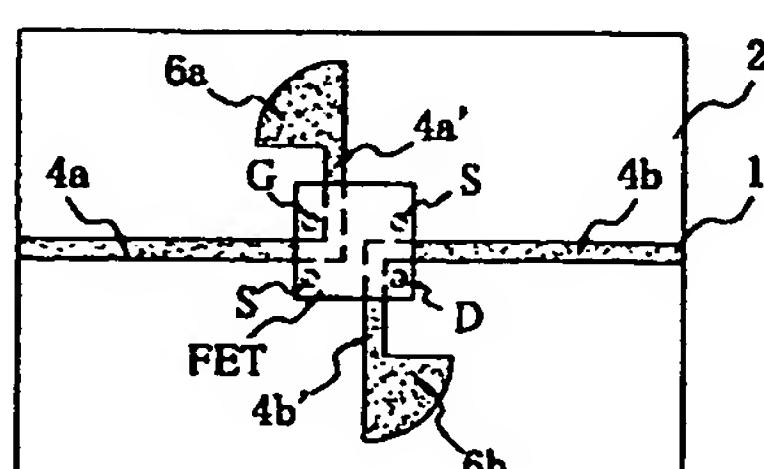
【図10】



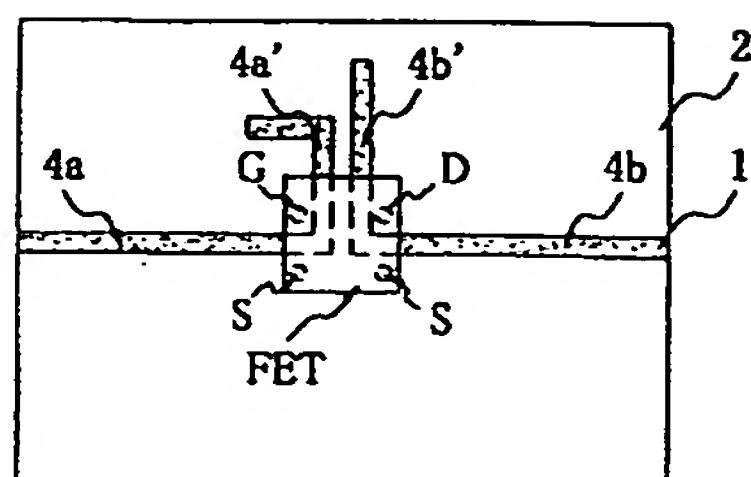
【図6】



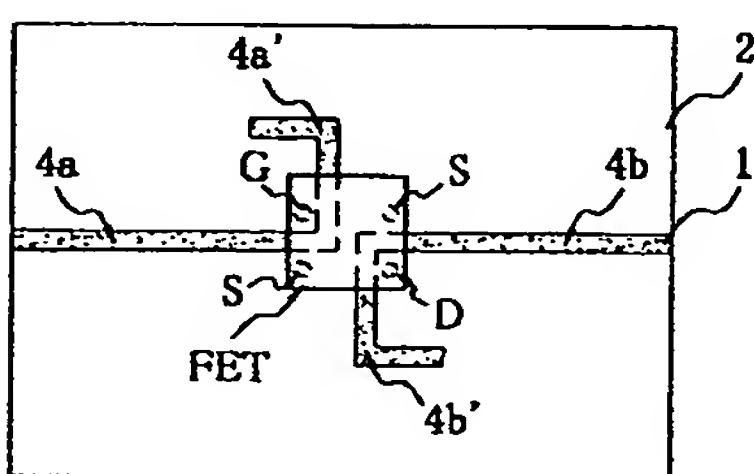
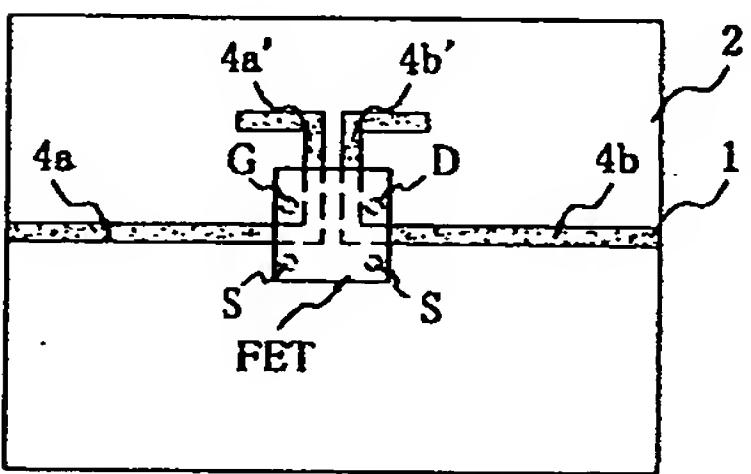
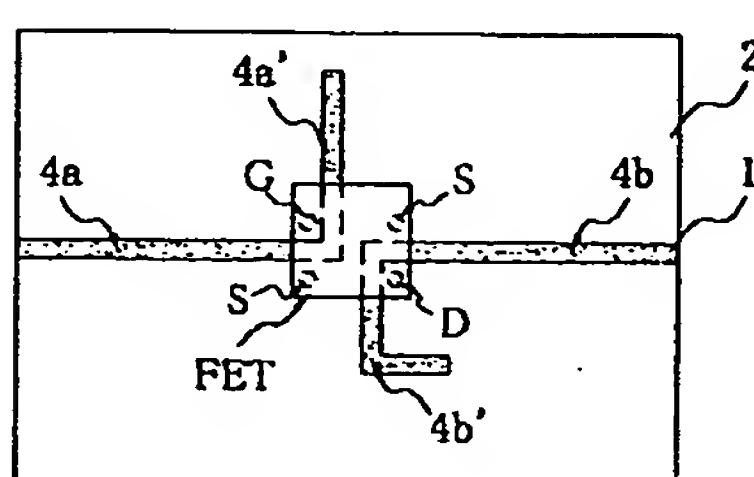
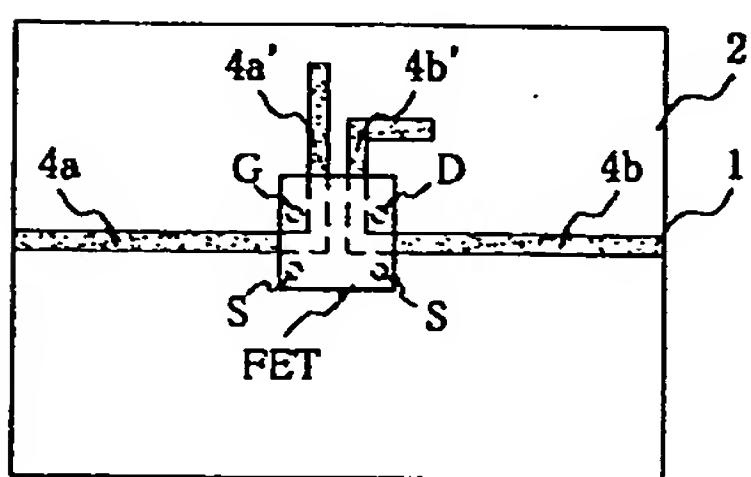
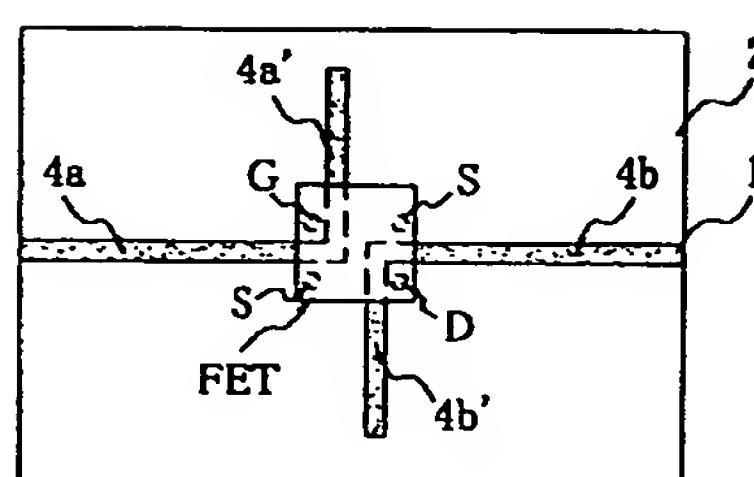
【図8】



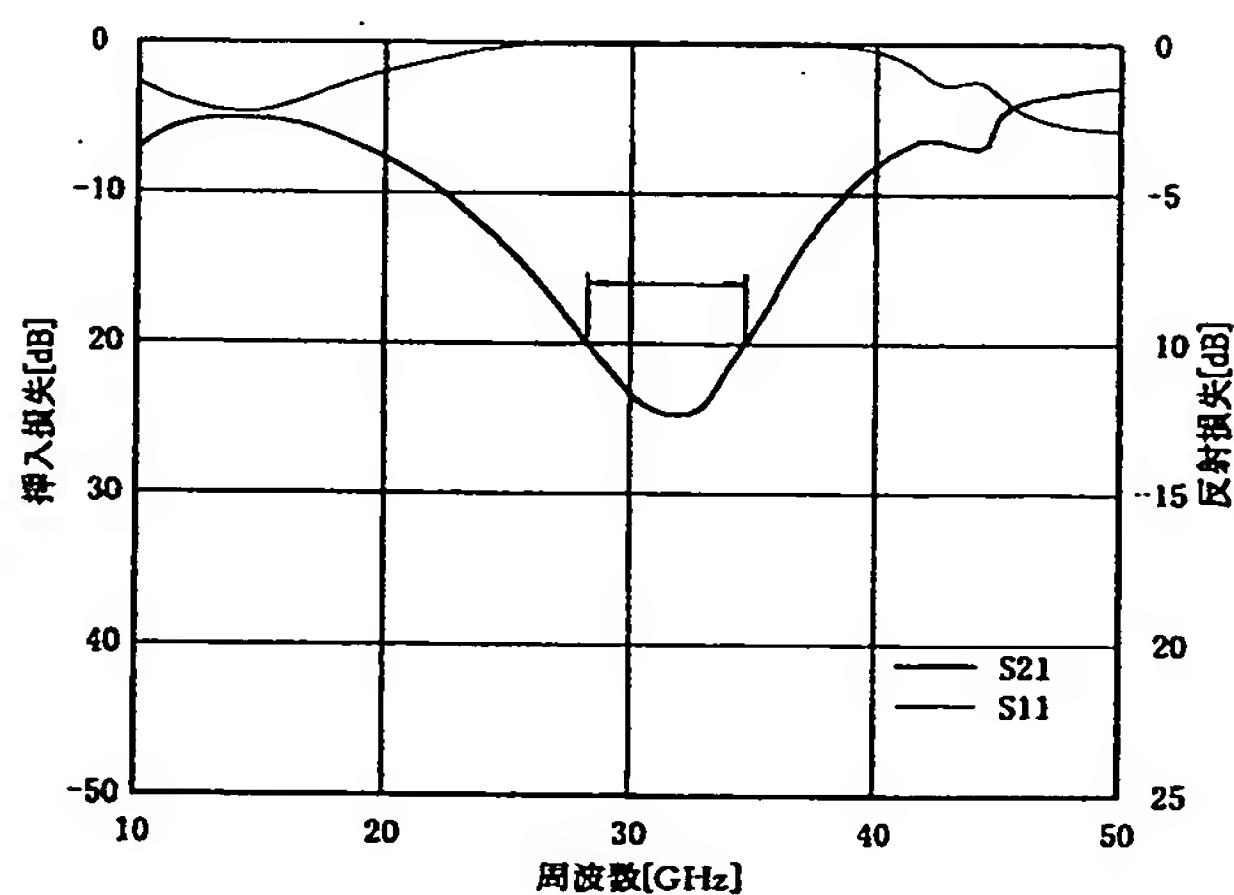
【図5】



【図7】



【図11】



フロントページの続き

(72)発明者 松崎 宏泰  
 京都府長岡京市天神二丁目26番10号 株式  
 会社村田製作所内

Fターム(参考) 5J067 AA04 CA35 CA36 CA62 FA16  
 HA09 KA00 KA29 KA32 KA44  
 KA66 KA68 LS14 QA04 SA13  
 TA03

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**